



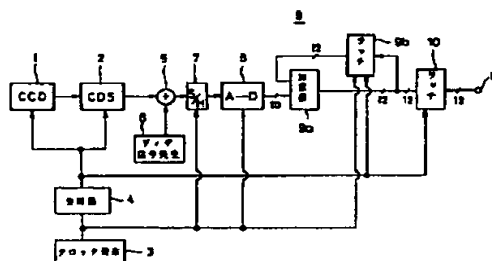
## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09246971 A**(43) Date of publication of application: **19 . 09 . 97**(51) Int. Cl. **H03M 1/20**(21) Application number: **08056421**(22) Date of filing: **13 . 03 . 96**(71) Applicant: **SONY CORP**(72) Inventor: **SUZUKI SEISUKE  
WANAMI HIDEKI****(54) DIGITAL SIGNAL PROCESSOR****(57) Abstract:**

**PROBLEM TO BE SOLVED:** To raise a resolution with the relatively small increase of a circuit scale and power consumption.

**SOLUTION:** This digital signal processor for converting discrete signals sampled by a prescribed frequency  $\text{ck}$  to digital signals is provided with a dither signal generation means 6 for generating the dither signals of the same cycle as the discrete signals, an analog/digital conversion means 8 and a digital integration means 9. After adding the dither signals to the discrete signals, they are converted to the digital signals in the analog/digital conversion means 8 by using the clock signals of the frequency  $n\text{ck}$  of  $(n)\text{-folds}$  ( $n$  is an integer  $\geq 2$ ) of the frequency of the discrete signals and the digital signals obtained on the output side of the analog/digital conversion means 8 are integrated for  $(n)$  times by the digital integration means 9 and outputted.

COPYRIGHT: (C)1997,JPO



Best Available Copy

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-246971

(43) 公開日 平成9年(1997)9月19日

(51) Int.Cl.<sup>6</sup>

H 0 3 M 1/20

識別記号

庁内整理番号

F I

H 0 3 M 1/20

技術表示箇所

審査請求 未請求 請求項の数2 O L (全 6 頁)

(21) 出願番号 特願平8-56421

(22) 出願日 平成8年(1996)3月13日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 鈴木 清介

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72) 発明者 和波 英樹

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

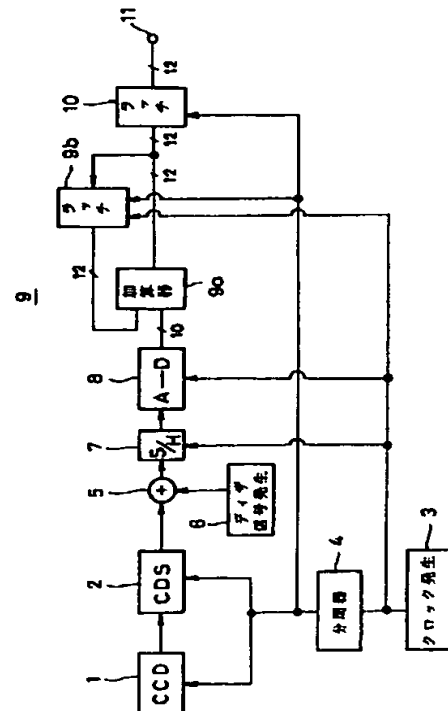
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 デジタル信号処理装置

(57) 【要約】

【課題】 比較的少ない回路規模及び消費電力の増加で高分解能化を図ることを目的とする。

【解決手段】 所定周波数  $c k$  でサンプリングされた離散的信号をデジタル信号に変換するデジタル信号処理装置において、この離散的信号と同じ周期のディザ信号を発生するディザ信号発生手段と、アナログーデジタル変換手段と、デジタル積分手段とを設け、この離散的信号にこのディザ信号を付加した後に、この離散的信号の周波数の  $n$  ( $n$  は2以上の整数) 倍の周波数  $n c k$  のクロック信号を使用してアナログーデジタル変換手段でデジタル信号に変換すると共にこのアナログーデジタル変換手段の出力側に得られるデジタル信号をこのデジタル積分手段により  $n$  回積分した後に出力するようにしたものである。



## 【特許請求の範囲】

【請求項1】 所定周波数 $c k$ でサンプリングされた離散的信号をデジタル信号に変換するデジタル信号処理装置において、

前記離散的信号と同じ周期のディザ信号を発生するディザ信号発生手段と、

アナログーデジタル変換手段と、

デジタル積分手段とを設け、

前記離散的信号に前記ディザ信号を付加した後に前記離散的信号の周波数の $n$  ( $n$ は2以上の整数) 倍の周波数 $n c k$ のクロック信号を使用して前記アナログーデジタル変換手段でデジタル信号に変換すると共に前記アナログーデジタル変換手段の出力側に得られるデジタル信号を前記デジタル積分手段により $n$ 回積分した後に出力するようにしたことを特徴とするデジタル信号処理装置。

【請求項2】 請求項1記載のデジタル信号処理装置において、

前記ディザ信号が鋸歯状波信号であることを特徴とするデジタル信号処理装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、CCDラインセンサ等の出力側に得られる離散的信号をデジタル信号に変換するのに使用して好適なデジタル信号処理装置に関する。

## 【0002】

【従来の技術及び発明が解決しようとする課題】 一般にCCDラインセンサ等の出力側に得られる離散的信号をデジタル信号に変換するのに高速用アナログーデジタル変換器である例えばフラッシュ (並列) 型アナログーデジタル変換器が使用されている。

【0003】 従来、このフラッシュ (並列) 型アナログーデジタル変換器として例えば分解能10ビットのものが使用されている。この分解能10ビットのフラッシュ (並列) 型アナログーデジタル変換器は1024個のコンパレータが必要であり、回路規模 (チップ面積) が比較的大きく、消費電力も比較的大きい。

【0004】 この分解能10ビットのフラッシュ (並列) 型アナログーデジタル変換器の分解能を更に1ビット上げたときには、回路規模 (チップ面積) が、この2倍となり、また消費電力もこの2倍となるので、高分解能化の実現が困難である不都合があった。

【0005】 本発明は斯る点に鑑み比較的小さい回路規模及び消費電力の増加で高分解能化を図ることを目的とする。

## 【0006】

【課題を解決するための手段】 本発明デジタル信号処理装置は所定周波数 $c k$ でサンプリングされた離散的信号をデジタル信号に変換するデジタル信号処理装置において、この離散的信号と同じ周期のディザ信号を発生する

ディザ信号発生手段と、アナログーデジタル変換手段と、デジタル積分手段とを設け、この離散的信号にこのディザ信号を付加した後に、この離散的信号の周波数の $n$  ( $n$ は2以上の整数) 倍の周波数 $n c k$ のクロック信号を使用してアナログーデジタル変換手段でデジタル信号に変換すると共にこのアナログーデジタル変換手段の出力側に得られるデジタル信号をこのデジタル積分手段により $n$ 回積分した後に出力するようにしたものである。

【0007】 本発明によれば、離散的信号に例えば鋸歯状波信号のディザ信号を付加した後に、この離散的信号の周波数の $n$ 倍例えば4倍の周波数 $n c k$ のクロック信号を使用して、アナログーデジタル変換手段でデジタル信号に変換しているの、この離散的信号の1周期で $n$ 個例えば4個の例えば10ビットのデジタル信号が得られ、この $n$ 個例えば4個のデジタル信号をデジタル積分手段により $n$ 回例えば4回積分した後に出力するようにしているので、このアナログーデジタル変換手段の $n$ 倍例えば4倍の分解能を上げることができ、例えばこのアナログーデジタル変換手段の分解能が10ビットであったときに例えば12ビットのデジタル信号を出力することができ、しかも回路規模及び消費電力の増加は比較的小さい。

## 【0008】

【発明の実施の形態】 以下図面を参照して本発明デジタル信号処理装置の一実施例につき説明しよう。図1において、1はCCDを使用した光電変換素子を示し、この光電変換素子1は、その出力側にクロック信号 $c k$ に従って、図2Aに示す如きリセット期間1a、基準レベルとするフィールドスルー期間1b及び信号期間1cより成る信号が繰り返す撮像信号が得られる如くなされている。

【0009】 この光電変換素子1の出力側に得られる撮像信号を相関二重サンプリング回路2に供給する。

【0010】 また、3は光電変換素子1に供給するクロック信号 $c k$ の4倍の周波数のクロック信号 $4 c k$ を発生するクロック発生回路を示し、このクロック発生回路3のクロック信号 $4 c k$ を1/4分周器4を介して、光電変換素子1にクロック信号 $c k$ として供給する如くする。

【0011】 また、この1/4分周器4の出力側に得られるクロック信号 $c k$ をサンプリング信号として相関二重サンプリング回路2に供給する。この相関二重サンプリング回路2においては、フィールドスルー期間1bのレベルを基準レベルとし、信号期間1cのレベルをサンプリングホールドし図2Bに示す如く逆位相の周波数 $c k$ でサンプリングされた離散的信号2aを得る如くする。この相関二重サンプリング回路2の出力側に得られる離散的信号2aを加算回路5に供給する如くする。

【0012】 また、6はディザ信号発生回路を示し、本

例においてはこのディザ信号として、図 2 C に示す如く、図 2 B に示す離散的信号 2 a と同じ周期の鋸歯状波信号 6 a とする。この鋸歯状波信号 6 a のピークツウピークのレベルは後述するアナログーデジタル変換回路 8 の 1 量子化レベル (LSB) の  $3/4$  のレベルとする如くする。

【0013】このディザ信号発生回路 6 の出力側に得られる離散的信号 2 a と同じ周期の鋸歯状波信号 6 a を加算回路 5 に供給する如くする。この加算回路 5 においては、この離散的信号 2 a にディザ信号である鋸歯状波信号 6 a が加算され、この加算回路 5 の出力側には図 2 D に示す如く、この離散的信号 2 a にディザ信号である鋸歯状波信号 6 a が付加された信号が得られる。

【0014】この加算回路 5 の出力側に得られる離散的信号 2 a にディザ信号である鋸歯状波信号 6 a が付加された信号をサンプリングホールド回路 7 に供給する。このサンプリングホールド回路 7 においては、クロック発生回路 3 に得られるクロック信号  $c_k$  の 4 倍の周波数のクロック信号  $4c_k$  をサンプリング信号として、サンプリングホールドし、このサンプリングホールド回路 7 の出力側に図 2 E に示す如き 1 クロック信号  $c_k$  期間に 4 回サンプリングホールドしたサンプリングホールド信号を得る如くする。

【0015】このサンプリングホールド回路 7 の出力側に得られるサンプリングホールド信号をアナログーデジタル変換回路 8 に供給する。このアナログーデジタル変換回路 8 として、本例においては 10 ビットの分解能のものを使用する。

【0016】また本例においては、このアナログーデジタル変換回路 8 は、クロック発生回路 3 に得られるクロック信号  $c_k$  の 4 倍の周波数のクロック信号  $4c_k$  でアナログ信号をデジタル信号に変換する如くする。

【0017】従って、このアナログーデジタル変換回路 8 の出力側には 1 クロック信号  $c_k$  期間に 4 個の分解能が 10 ビットのデジタル信号が得られる。このアナログーデジタル変換回路 8 の出力側に得られる分解能が 10 ビットのデジタル信号をデジタル積分回路 9 を構成する 12 ビット構成のデジタル加算器 9 a に供給する。

【0018】このデジタル加算器 9 a の出力信号をこのデジタル積分回路 9 を構成する 12 ビット構成のデジタルのラッチ回路 9 b に供給し、このラッチ回路 9 b の出力信号をデジタル加算器 9 a に供給する。このラッチ回路 9 b のクロック信号としてはクロック発生回路 3 に得られるクロック信号  $c_k$  の 4 倍の周波数のクロック信号  $4c_k$  により動作させると共にクロック信号  $c_k$  をクリア端子  $c_l$  に供給し、これによりこのラッチ回路 9 b をクリアする如くする。

【0019】即ちこのデジタル積分回路 9 は 1 クロック信号  $c_k$  期間の 4 個のデジタル信号をデジタル積分する如くしたものである。このデジタル加算器 9 a の出力

信号を 12 ビット構成のデジタルーアナログ変換回路を介して信号波形を観察したときは例えば図 2 F に示す如き積分波形となる。

【0020】このデジタル加算器 9 a の出力信号を 12 ビット構成のデジタルのラッチ回路 10 に供給する。このラッチ回路 10 にクロック信号として周波数  $c_k$  のクロック信号を供給する。即ちこのラッチ回路 10 にはアナログーデジタル変換回路 8 のデジタルの出力信号が 4 回積分された信号が順次供給されるものである。

【0021】このラッチ回路 10 の出力信号を 12 ビット構成のデジタル映像信号出力端子 11 に供給する如くする。このラッチ回路 10 の出力信号を 12 ビット構成のデジタルーアナログ変換回路を介して信号波形を観察したときには、図 2 G に示す如く、図 2 B に示す離散的信号 2 a が 1 クロック信号  $c_k$  期間遅れた信号に対応する信号が得られた。

【0022】更に、図 3 及び図 4 を参照して、本例のこのアナログーデジタル変換回路 8、デジタル積分回路 9 及びラッチ回路 10 の動作につき、模擬的に詳細に説明する。

【0023】一般にアナログーデジタル変換回路においては、図 3 に示す如く 1 サンプリング期間 (1 クロック信号  $c_k$  期間) において、入力されるアナログ信号のレベルが 1 量子化レベル (LSB) を越える毎にデジタル値が「1」ステップ上昇する。この分解能 10 ビットのアナログーデジタル変換回路 8 は 1024 ステップの分解能である。

【0024】ところで本例においては、このアナログーデジタル変換回路 8 の入力側に供給されるアナログ信号は相関二重サンプリング回路 2 の出力側に得られる離散的信号 2 a にピークツウピークレベルが 1 量子化レベル (LSB) の  $3/4$  のレベルのディザ信号としての鋸歯状波信号 6 a が加算された信号であり、この 1024 ステップの夫々のステップ毎に図 4 A に示す如き 4 つの場合  $a_1 \sim a_4$  が考えられる。

【0025】即ち、場合  $a_1$  の如く、離散的信号 2 a があるステップの 1 量子化レベル (LSB) の  $0 \sim 1/4$  のレベルのときはクロック信号  $c_k$  の 4 倍のクロック信号  $4c_k$  で順次 4 回  $C_1$ 、 $C_2$ 、 $C_3$  及び  $C_4$ 、サンプリングホールド回路 7 でサンプリングホールドしても 1 回も 1 量子化レベルを越えない場合、場合  $a_2$  の如く、離散的信号が、あるステップの 1 量子化レベル (LSB) の  $1/4 \sim 2/4$  のレベルのときで、1 回越える場合、場合  $a_3$  の如く離散的信号が、あるステップの 1 量子化レベル (LSB) の  $2/4 \sim 3/4$  のレベルのときで、2 回越える場合及び場合  $a_4$  の如く、離散的信号が、あるステップの 1 量子化レベル (LSB) の  $3/4 \sim 1$  未満のレベルのときで、3 回越える場合である (図 4 B 参照)。

【0026】このアナログーデジタル変換回路 8 の出力

をデジタル積分回路 9 で 4 回積分したときは、その成分値はアナログ的に見て、図 4 C に如くなり、このラッチ回路 10 に得られるデジタル信号は、1024 ステップの夫々のステップで 4 つの場合  $a_1 \sim a_4$  の分解能を有する 4096 ステップのデジタル信号が得られ、分解能が 12 ビットのアナログーデジタル変換回路と等価となる。

【0027】本例によれば、撮像信号を周波数  $c k$  でサンプリングした離散的信号 2 a に鋸歯状波信号 6 a のディザ信号を付加した後に、この離散的信号 2 a の周波数の 4 倍の周波数  $4 c k$  のクロック信号を使用してアナログーデジタル変換回路 8 でデジタル信号に変換しているので、この離散的信号 2 a の 1 周期で 4 個の 10 ビットのデジタル信号が得られ、この 4 個のデジタル信号をデジタル積分回路 9 で 4 回積分した後に出力するようにしているので、このアナログーデジタル変換回路 8 の 4 倍の分解能即ち 12 ビットの分解能のデジタル信号が得られる。

【0028】本例によれば回路規模としては従来のアナログーデジタル変換回路に比較し、デジタル積分回路 9 及びラッチ回路 10 が増加するだけなので、この回路規模の増加は比較的少なく、従って消費電力の増加も比較的少ない利益がある。この為本例によれば高分解能のアナログーデジタル変換手段を比較的安価に実現できる。

【0029】また、本例によればアナログーデジタル変換時にディザ信号を付加しているが、デジタル積分回路 9 で積分しているので、出力信号のゆらぎが生じない利益がある。

【0030】尚、図 1 においては、ピークツウピークが  $3/4$  LSB の鋸歯波信号 6 a を発生するディザ信号発生回路 6 を設ける如く述べたが、図 5 に示す如く、相関二重サンプリング回路 2 のホールド用コンデンサ  $C_2$  に並列に抵抗器  $R_1$  を設け、このコンデンサ  $C_2$  と抵抗器  $R_1$  とによる時定数をリップルが約  $3/4$  LSB となる如くしても良い。

【0031】この図 5 につき更に述べるに、この図 5 において、20 は相関二重サンプリングホールド回路 2 の入力端子を示し、この入力端子 20 に、図 2 A に示す如き撮像信号を供給する。この入力端子 20 をこの撮像信号の基準信号であるフィールドスルー期間 1 b にのみオンする接続スイッチ 21 を介して撮像信号の信号期間 1 c にサンプリングパルス  $c k$  によりオンするサンプリングスイッチ 22 a の一側に接続する。

【0032】この接続スイッチ 21 及びサンプリングスイッチ 22 a の接続点を基準電圧ホールド用のコンデンサ  $C_3$  を介して接地する。このサンプリングスイッチ 22 a の他側を比較回路を構成する演算増幅回路 23 の非反転入力端子 + に接続すると共にこの非反転入力端子 + を基準電圧ホールド用のコンデンサ  $C_3$  を介して接地すると共にこのコンデンサ  $C_3$  に並列に時定数によるリッ

プルが約  $3/4$  LSB となる抵抗器  $R_1$  を接続する如くする。

【0033】また、この入力端子 20 を撮像信号の信号期間 1 c にサンプリングパルス  $c k$  によりオンするサンプリングスイッチ 22 b を介して演算増幅回路 23 の反転入力端子 - に接続すると共にこの反転入力端子 - をサンプリングホールド用のコンデンサ  $C_4$  を介して接続する。この演算増幅回路 23 より出力端子 24 を導出する。

【0034】この図 5 においては、入力端子 20 に図 2 A に示す如き撮像信号を供給したときには、出力端子 24 には図 2 D に示す如き、撮像信号の信号期間 1 c がサンプリングホールドされた離散的信号に鋸歯状波信号のディザ信号が付加された信号が得られる。

【0035】また、図 1 例ではサンプリングホールド回路 7 を設けたが、アナログーデジタル変換回路 8 がフラッシュ型であったり、このアナログーデジタル変換回路 8 内にサンプリングホールド回路を内蔵しているものでは、このサンプリングホールド回路 7 を省略できる。

【0036】また、上述実施例においては離散的信号の周波数  $c k$  の 4 倍の周波数のクロック信号でアナログーデジタル変換する如く述べたが、このクロック信号の周波数は  $n$  倍 ( $n$  は 2 以上の整数) のものが使用でき、このときは  $n$  倍の分解能とすることができる。

【0037】また、本発明は上述実施例に限ることなく本発明の要旨を逸脱することなくその他種々の構成が採り得ることは勿論である。

#### 【0038】

【発明の効果】本発明によれば回路規模として、従来のアナログーデジタル変換回路に比較し、デジタル積分回路 9 及びラッチ回路 10 を増加するだけの比較的少ない回路規模の増加で高分解能のアナログーデジタル変換装置を得ることができる利益がある。

【0039】また本発明によれば回路規模の増加が少ないので消費電力の増加が少なく且つ安価に高分解能のアナログーデジタル変換装置を得ることができる利益がある。また、本発明によればアナログーデジタル変換時にディザ信号を付加しているが、デジタル積分器で積分しているので出力信号のゆらぎが生じない利益がある。

#### 【図面の簡単な説明】

【図 1】本発明デジタル信号処理装置の一実施例を示す構成図である。

【図 2】本発明の説明に供する線図である。

【図 3】説明に供する線図である

【図 4】本発明の説明に供する線図である。

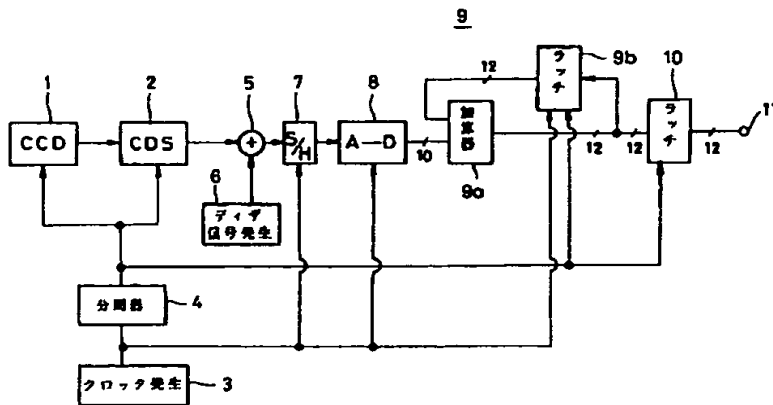
【図 5】本発明の要部の他の例を示す構成図である。

#### 【符号の説明】

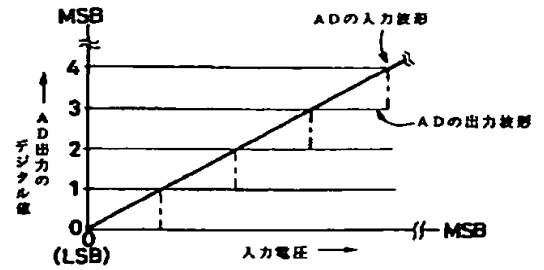
1 光電変換素子、2 相関二重サンプリング回路、3 クロック発生回路、4  $1/4$  分周器、5 加算回路、6 ディザ信号発生回路、8 アナログーデジタル

変換回路、9 デジタル積分回路、10 ラッチ回路、\* \* 1 1 出力端子

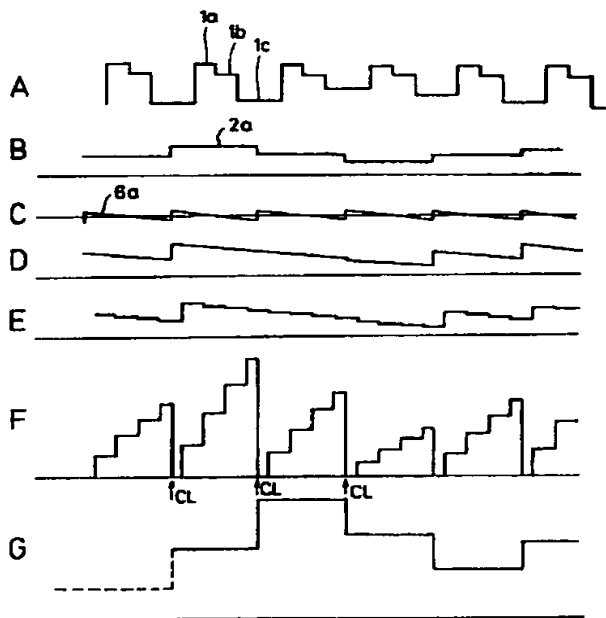
【図1】



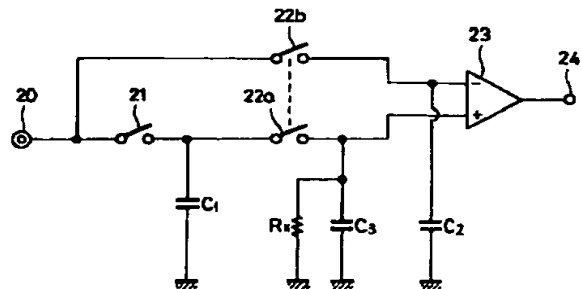
【図3】



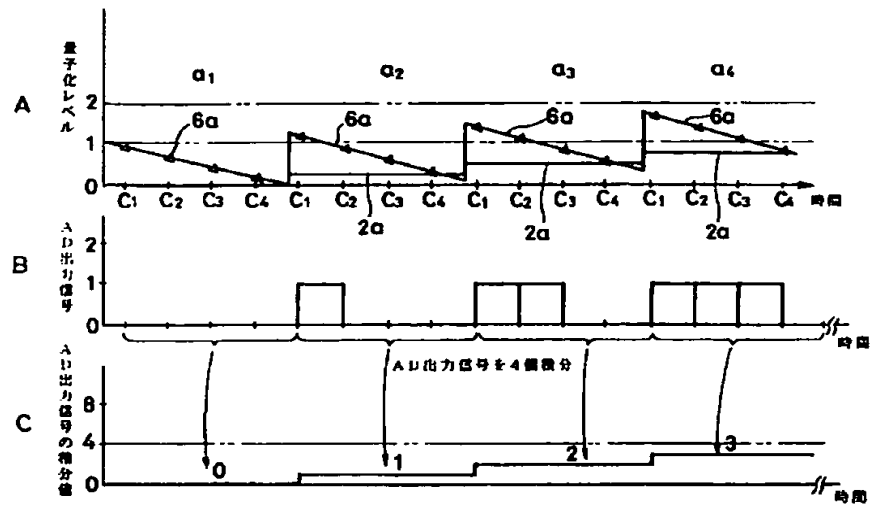
【図2】



【図5】



【図4】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**